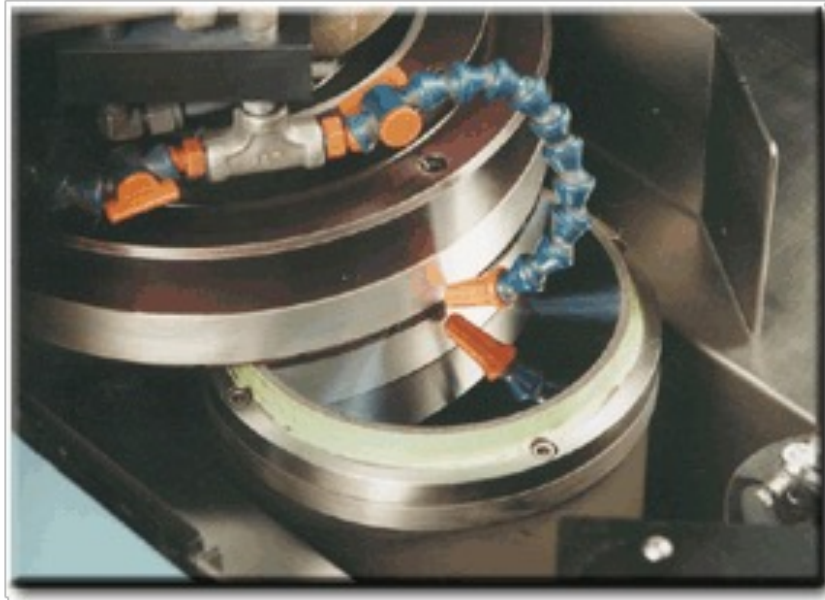
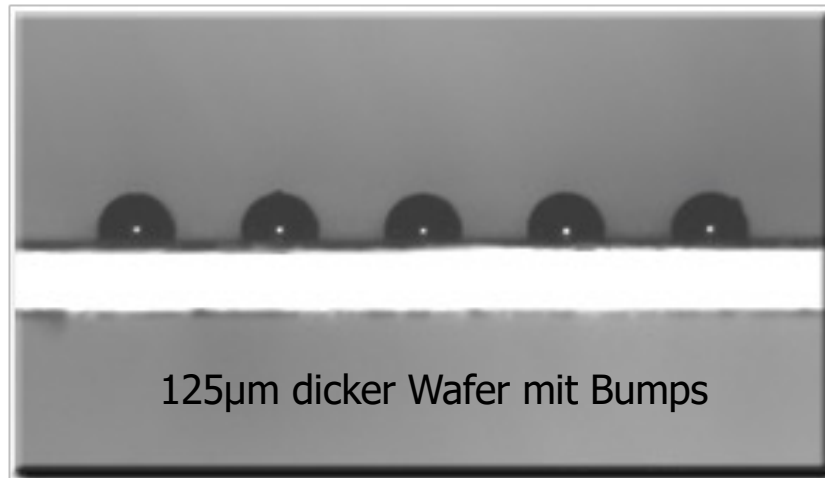


Abschleifen der Wafer

- Die Wafer werden oft abgeschliffen ('backgrinding'), um die Dicke zu reduzieren (z.B. für Chipkarten)



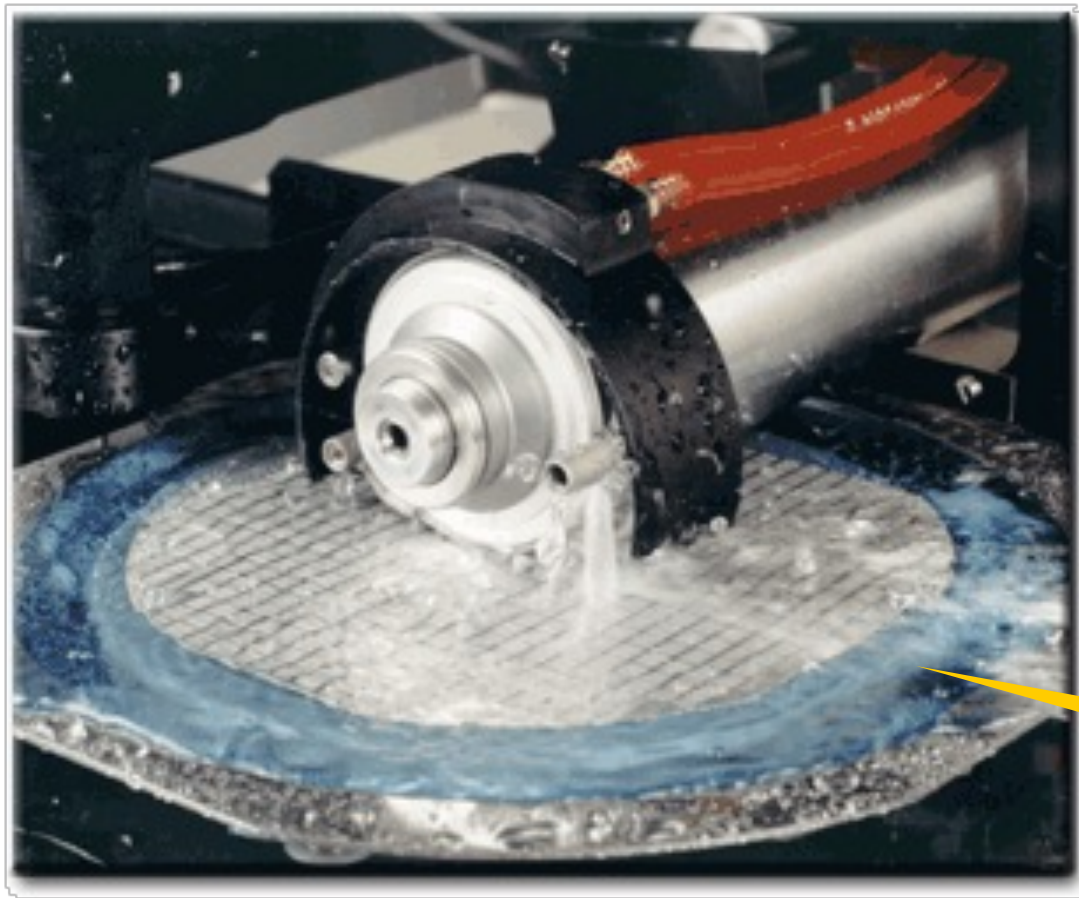
Alle Bilder: <http://www.icservice.com/dicing.htm>



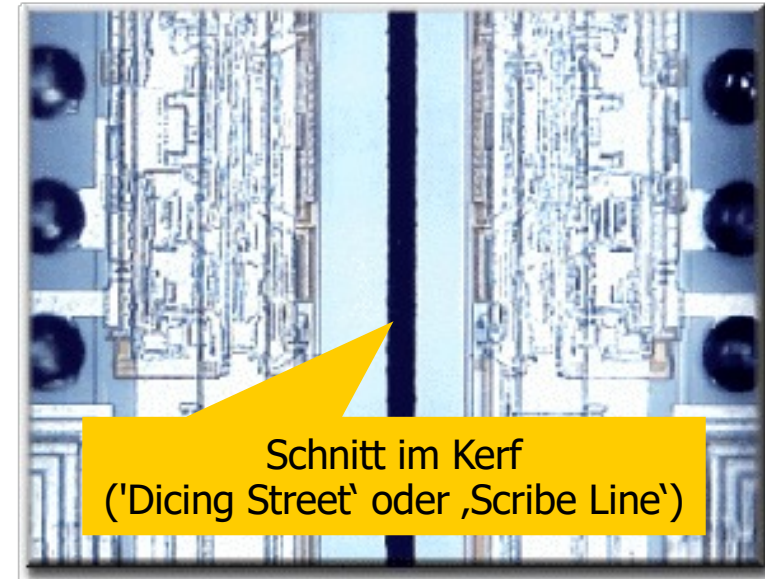
125µm dicker Wafer mit Bumps

Schneiden der Wafer

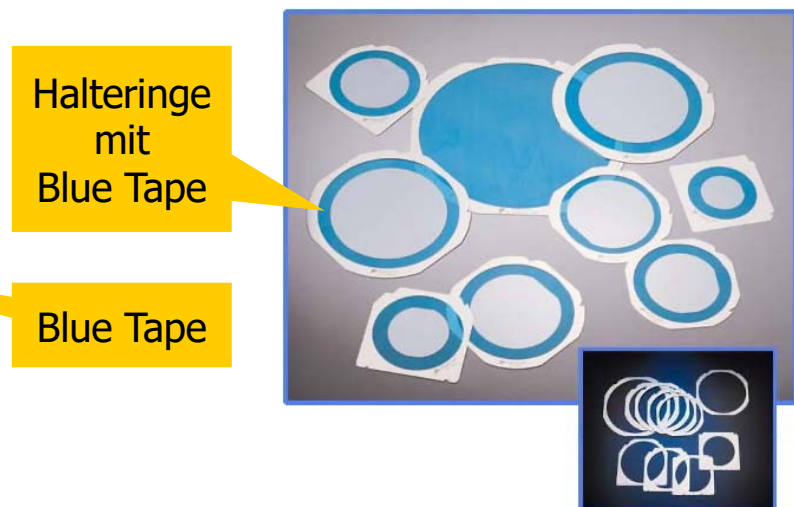
- Die Wafer werden auf eine Folie ('blue tape') aufgeklebt und in einer **Kreissäge** zersägt.
- Die Säge schneidet dabei die Folie nicht ganz durch
- Die Diamant-Sägeblätter sind bis zu $< 50\mu\text{m}$ dünn !
- Man nennt den Vorgang 'dicing' (Ein Chip ist ein 'dice')
- Inzwischen auch oft Schneiden beliebiger Formen mit **Laser**



<http://www.icservice.com/dicing.htm>



Schnitt im Kerf
(‘Dicing Street’ oder ‚Scribe Line’)



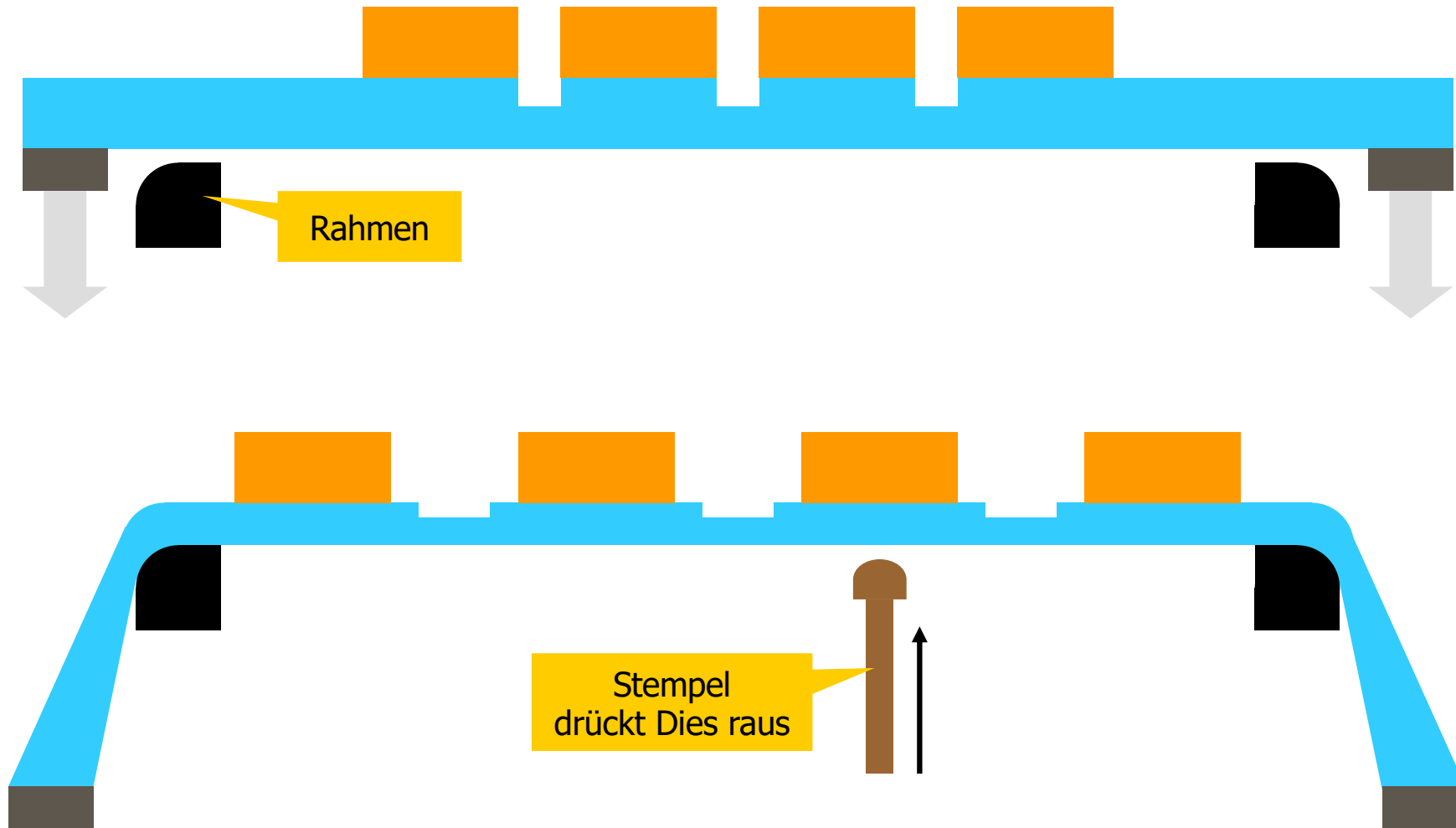
Halteringe
mit
Blue Tape

Blue Tape

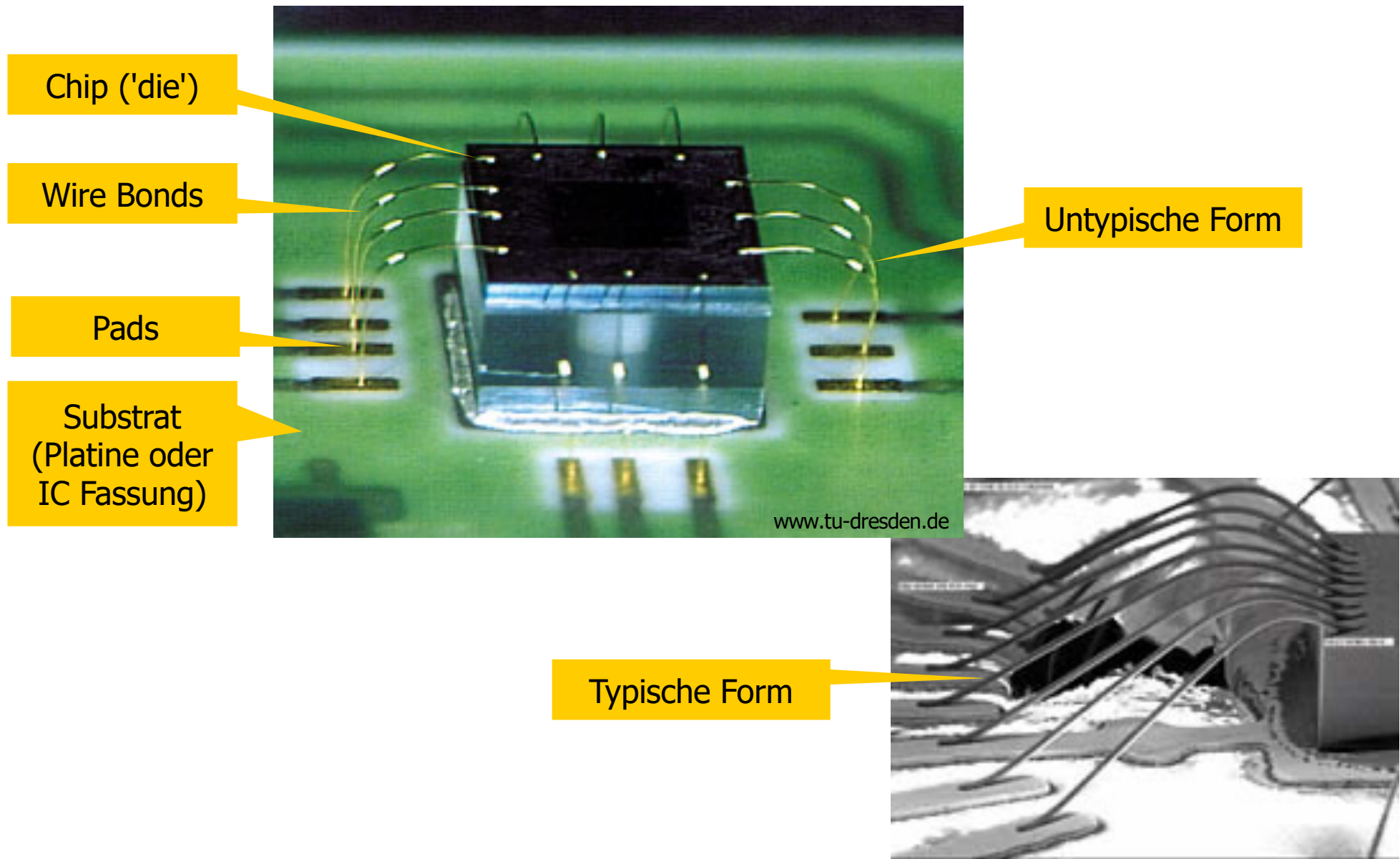
<http://www.perfection-products.com/pp-film-frames.htm>

Abnehmen der Chips

- Das Tape wird in einen Rahmen gespannt und gestreckt, so daß der Spalt zwischen den Chips wächst.
- Die Chips können dann leichter entnommen werden.



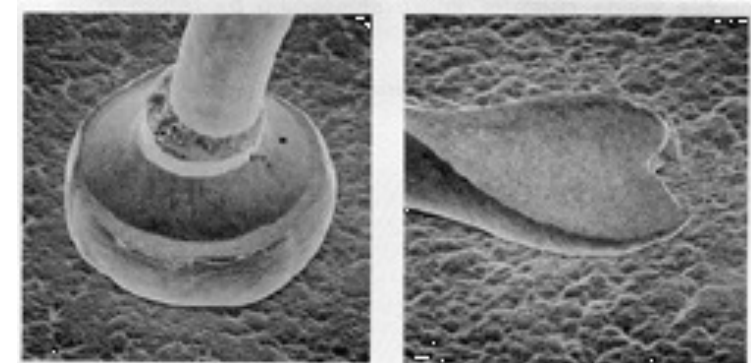
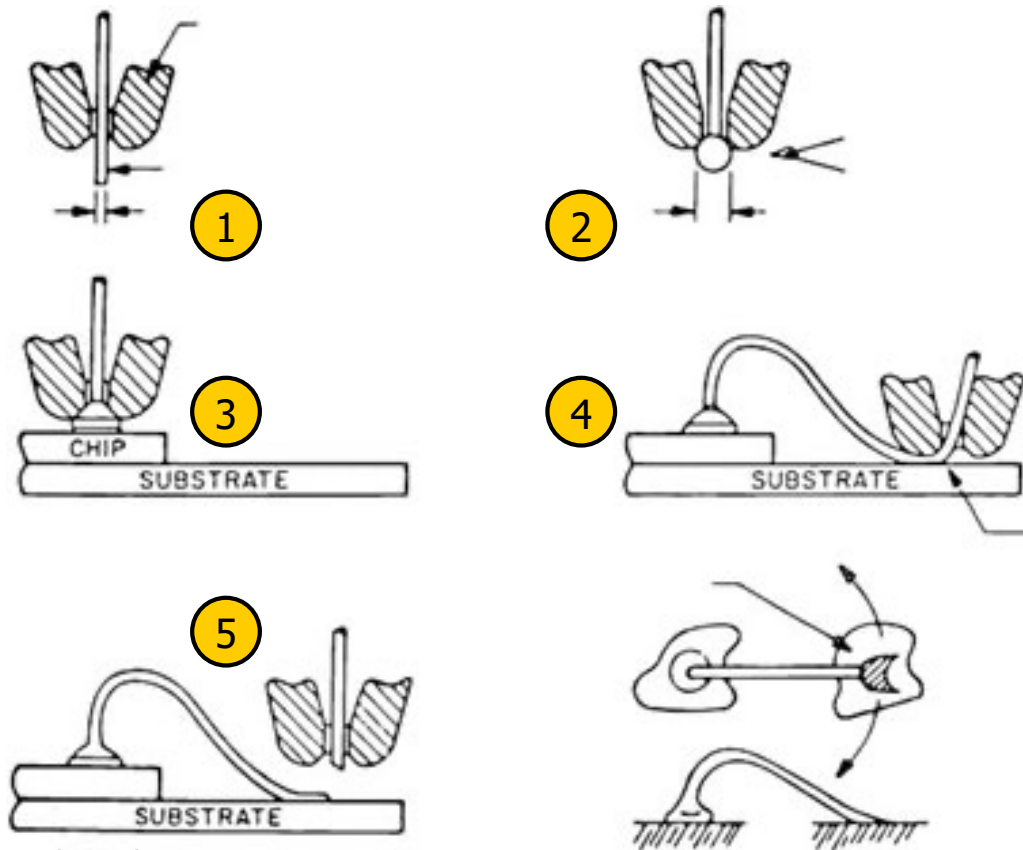
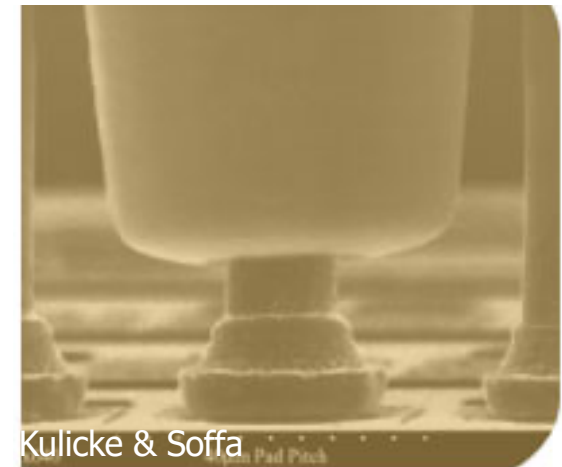
Wire Bonding



Methode 1: Ball Bonding

1. Golddraht wird durch eine Kapillare geführt.
 2. An der Spitze wird der Draht zu einer Kugel geschmolzen (Flamme, Funken)
 3. Die Kugel wird auf das (erwärmte) Substrat gedrückt und mit Ultraschall festgeschweißt \Rightarrow 'ball'
 4. Der Bondkopf wird hochgezogen und auf der zweiten Stelle abgesetzt
 5. Nach erneutem Ultraschall reißt der Draht an der Kante ab \Rightarrow 'wedge'
- Vorteil: Schnell, nach allen Richtungen (Kopf muß nicht gedreht werden)

Draht Durchmesser: 19 μ m



'ball'

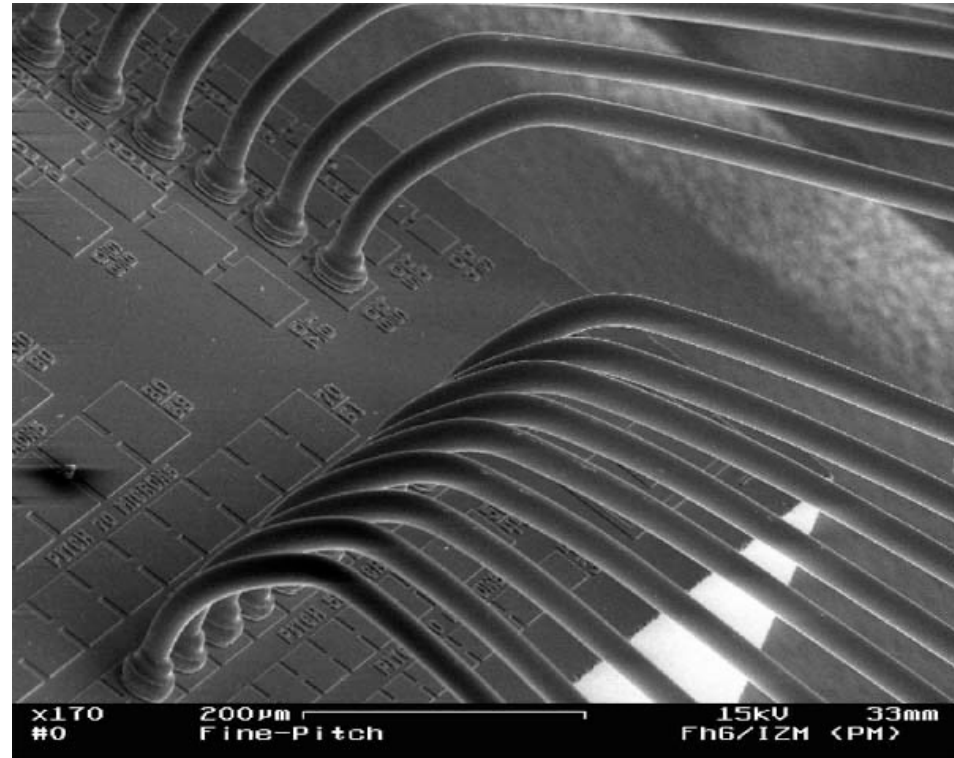
'wedge'

www.dieproduct.com

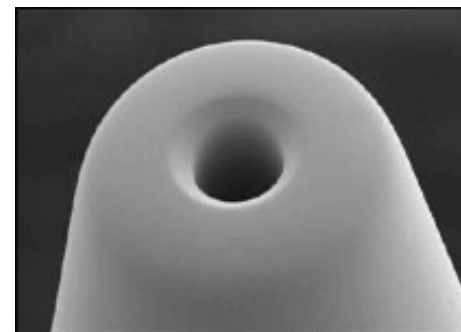
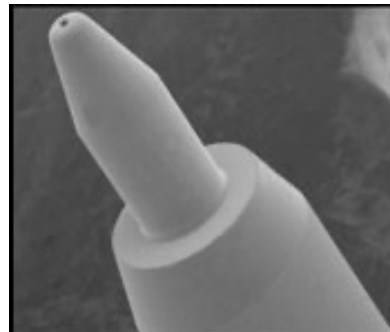
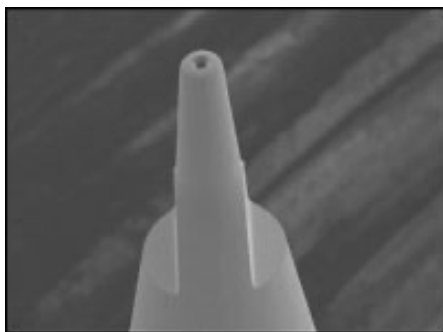
Ball Bonding



Bondkopf mit Chip auf Substrat



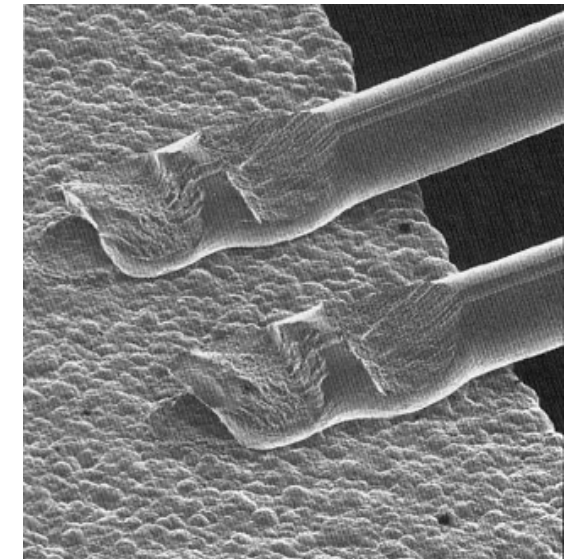
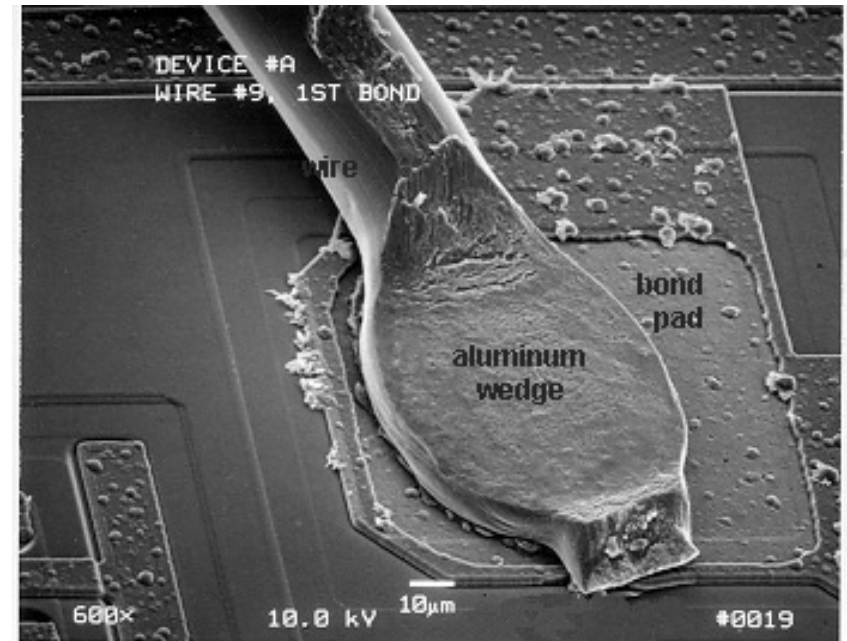
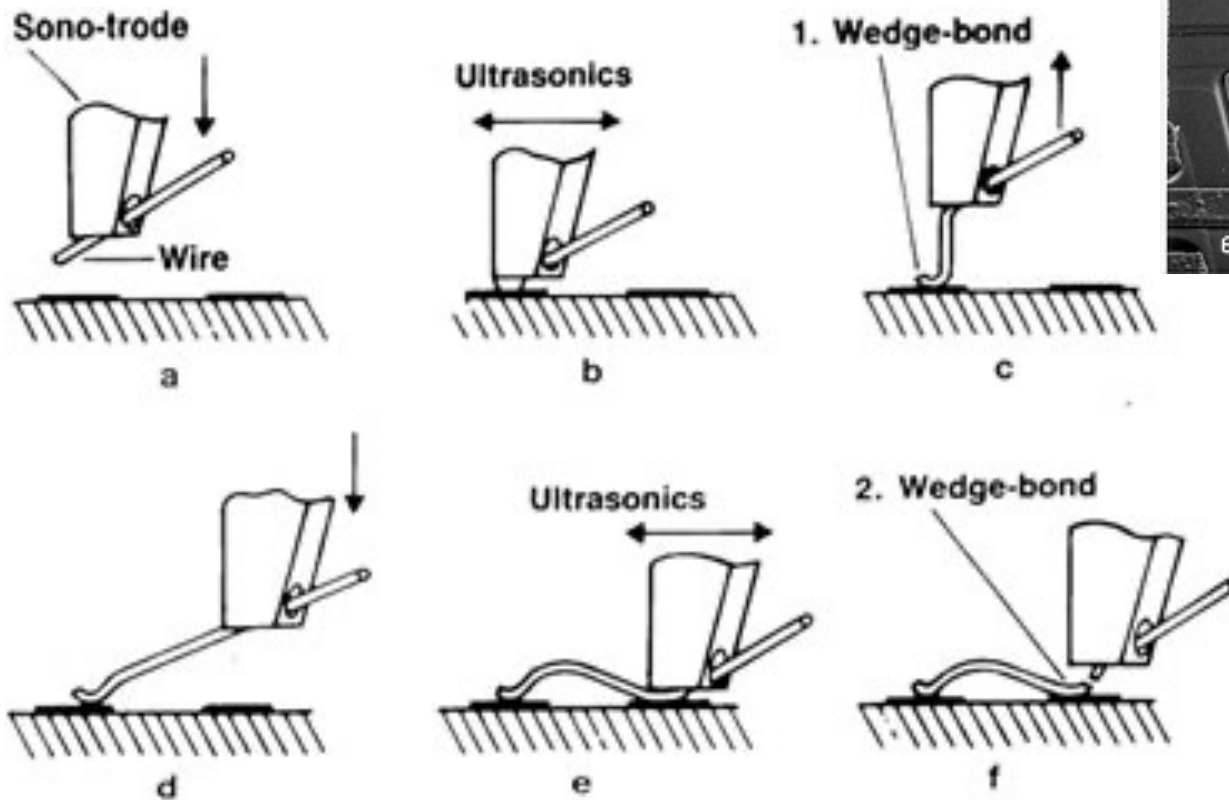
'State of the art' @ FhG/IZM: Extrem kleiner Abstand ('pitch')



Kapillaren
(Kullike & Sofa)

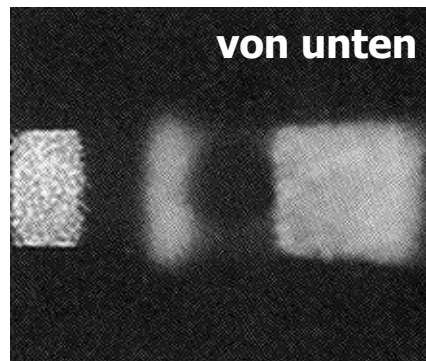
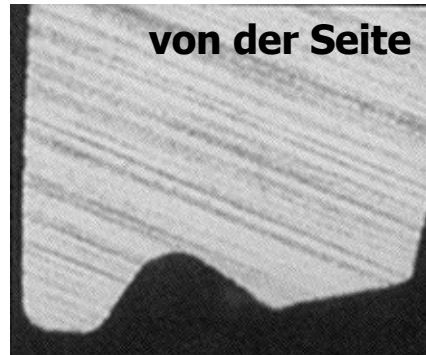
Methode 2: Wedge Bonding

- Alu-Draht wird schräg durch einen Keil geführt
- Der Draht wird mit Ultraschall verschweißt
- Der zweite Bond geht genauso
- Vorteile: Billigerer Draht, kleinere, engere Bonds
- Drahtdurchmesser $\geq 18\mu\text{m}$

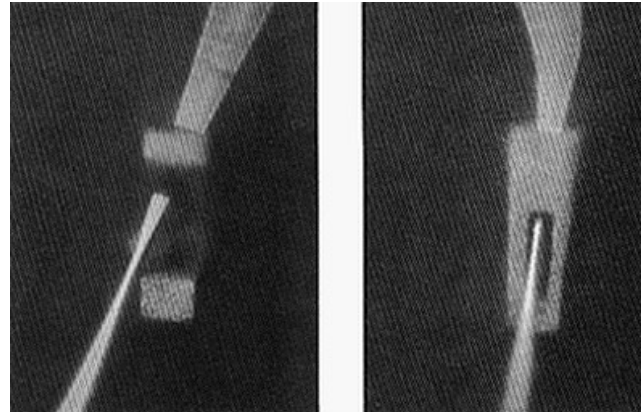


Bondwerkzeuge

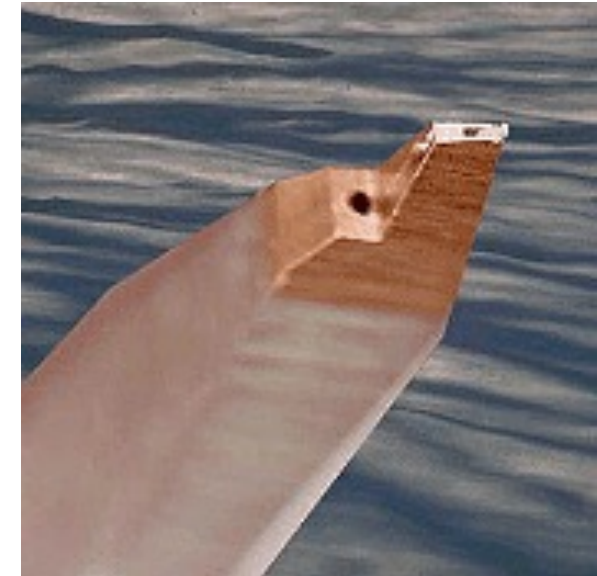
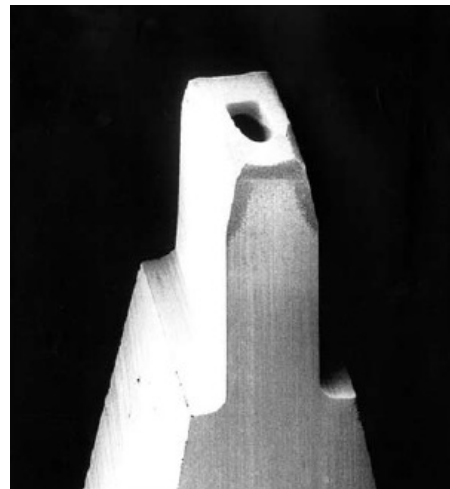
- Für ball Bonding: dünne 'Kapillaren'
- Für wedge Bonding: komplizierte Werkzeuge mit Führung für den Draht



www.gaisertool.com



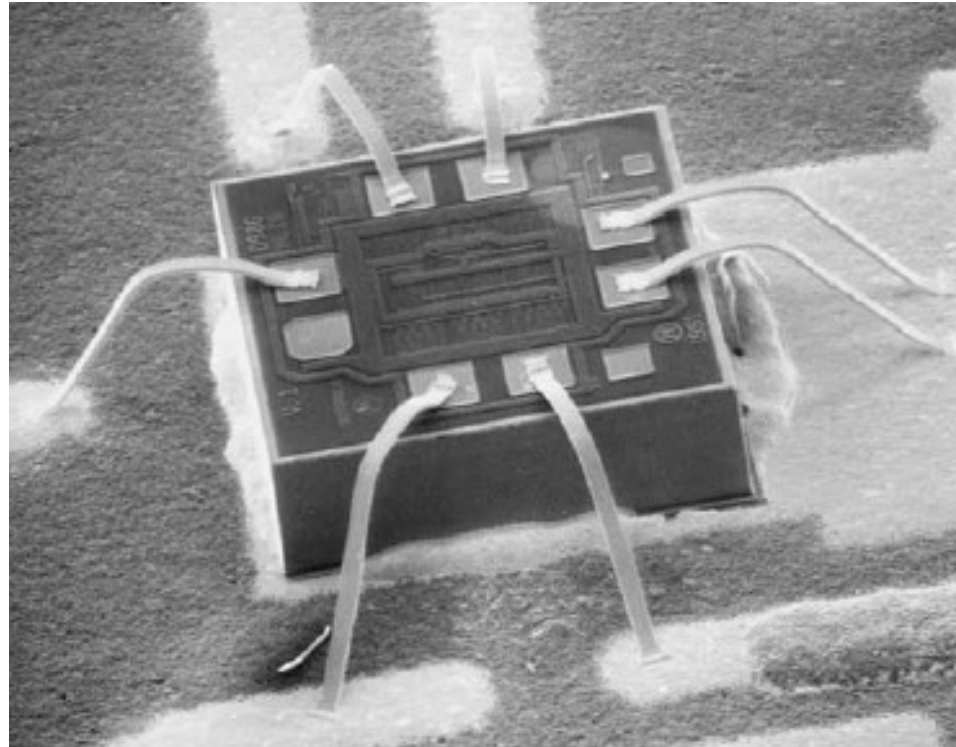
Mit eingefädeltm Draht



Bondwerkzeug mit Drahtführung
im Schaft für 90 Grad Zugang
(*'deep access'*)

Bändchen

- Drähte können auch flach sein: 'Bändchen'
- stabiler (standfester) , bessere HF Eigenschaften, höherer Strom



www.gaisertool.com

Bondmaschinen



Manuell (K&S)

Automat: 100 - 300k€



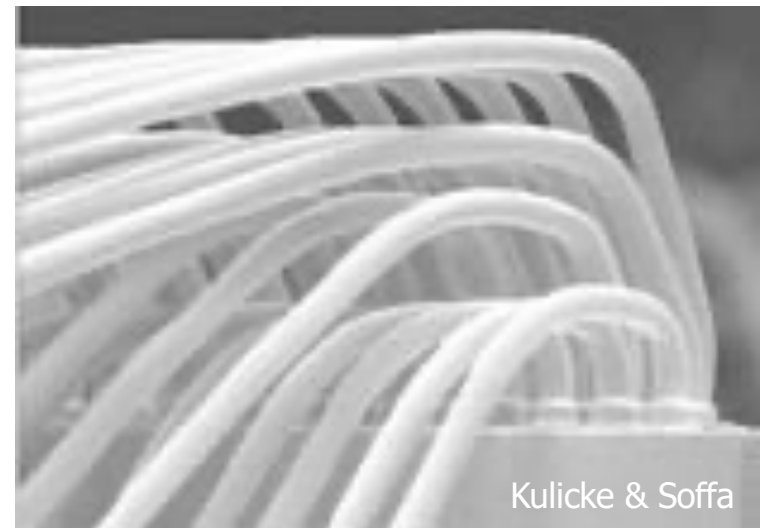
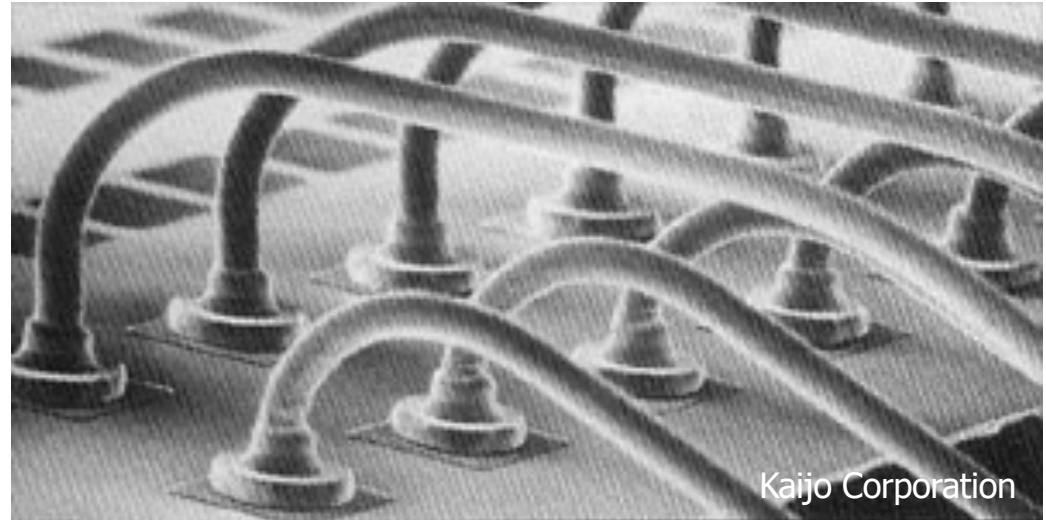
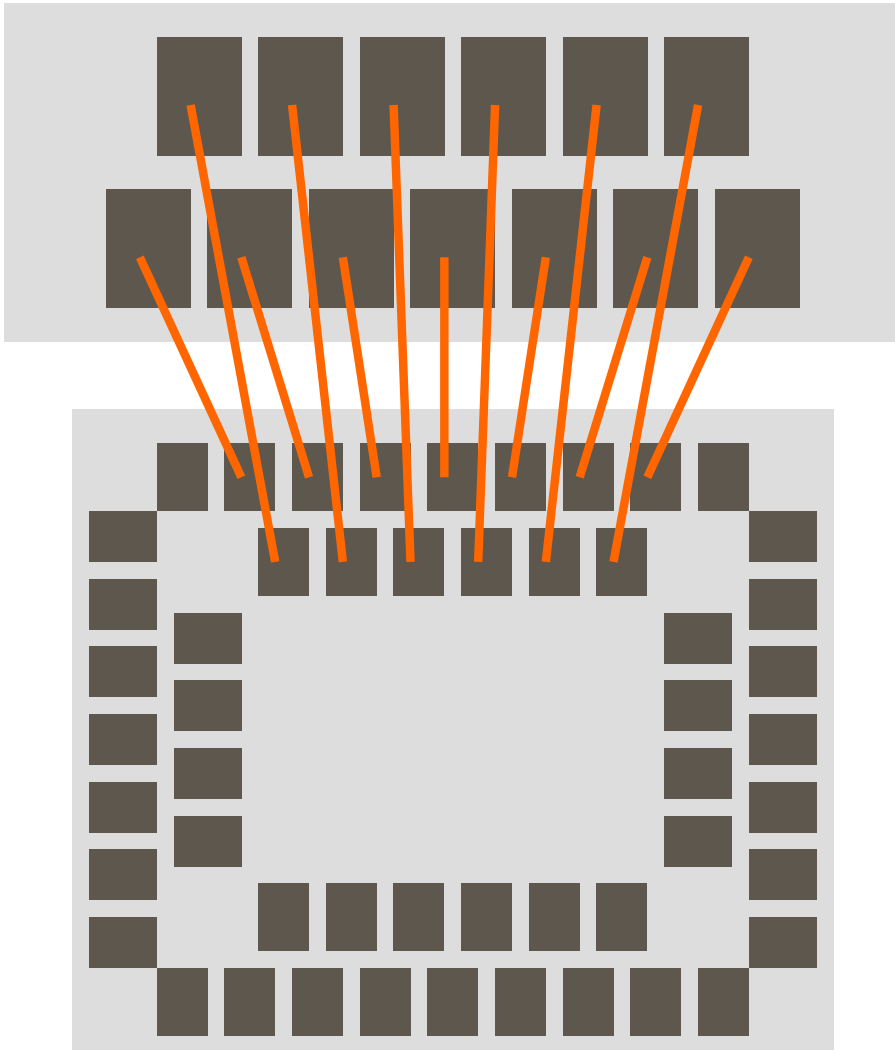
Wedge Bondkopf für 'Deep Access'

Bonding im Video

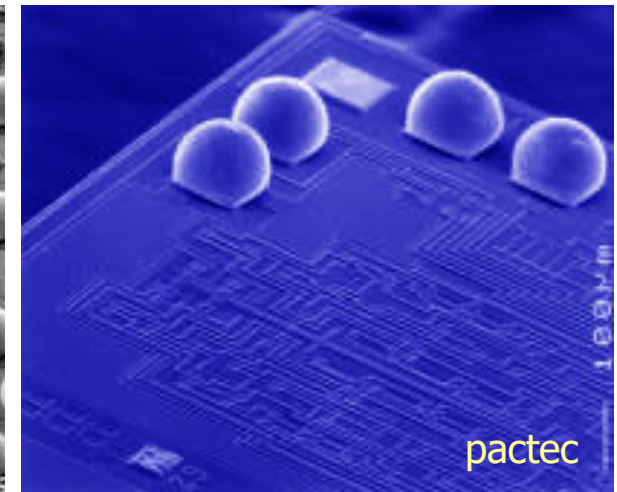
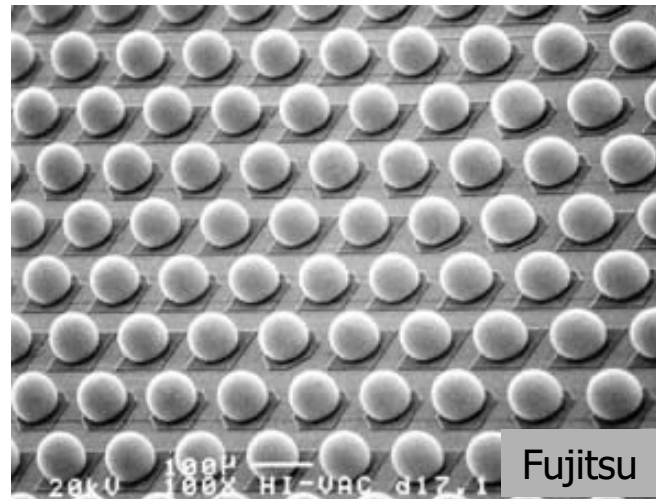
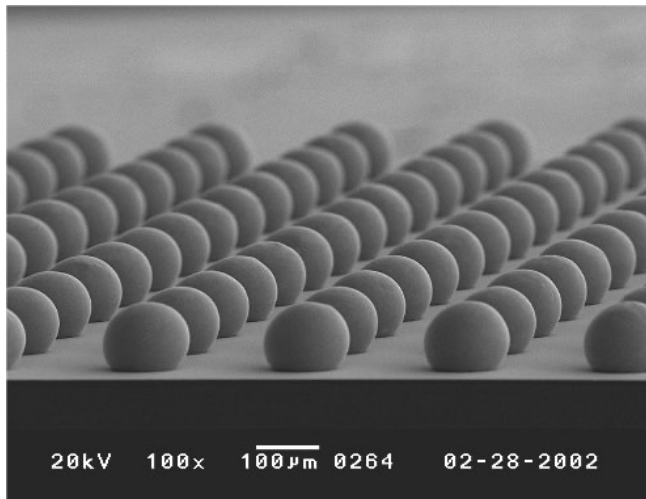
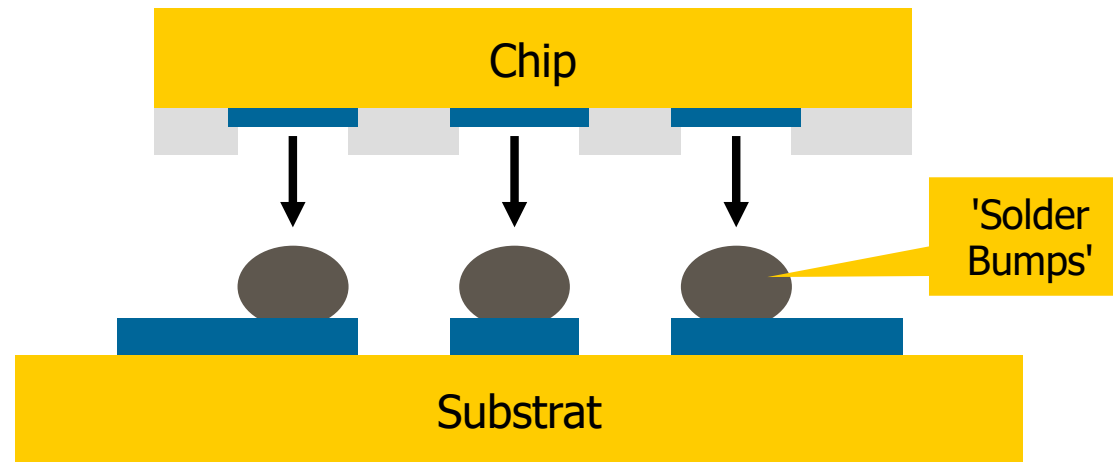
- s. Werbevideos z.B. von TPT:
 - Ball1.wmv
 - Wedge.wmv
 - Stitch.wmv

Staggered Pads

- ICs mit sehr vielen Anschlüssen 'Pad limited design' haben oft zwei Reihen versetzte Bonds
- Das Bonding erfolgt dann in zwei Ebenen



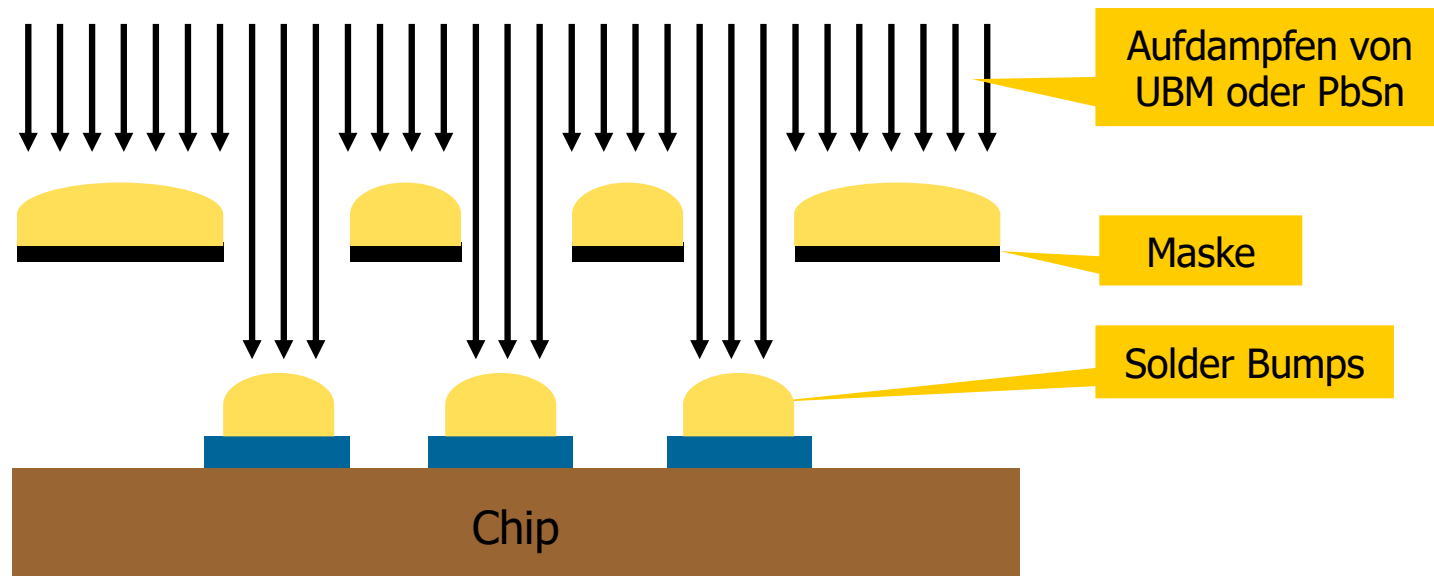
Flip-Chip Bonding



- Sehr viele Verbindungen in einem Arbeitsschritt
- Sehr enge Kontakte möglich (bis > 10 Bumps / mm)
- Bumps aus Blei/Zinn, Indium oder anderen Materialien

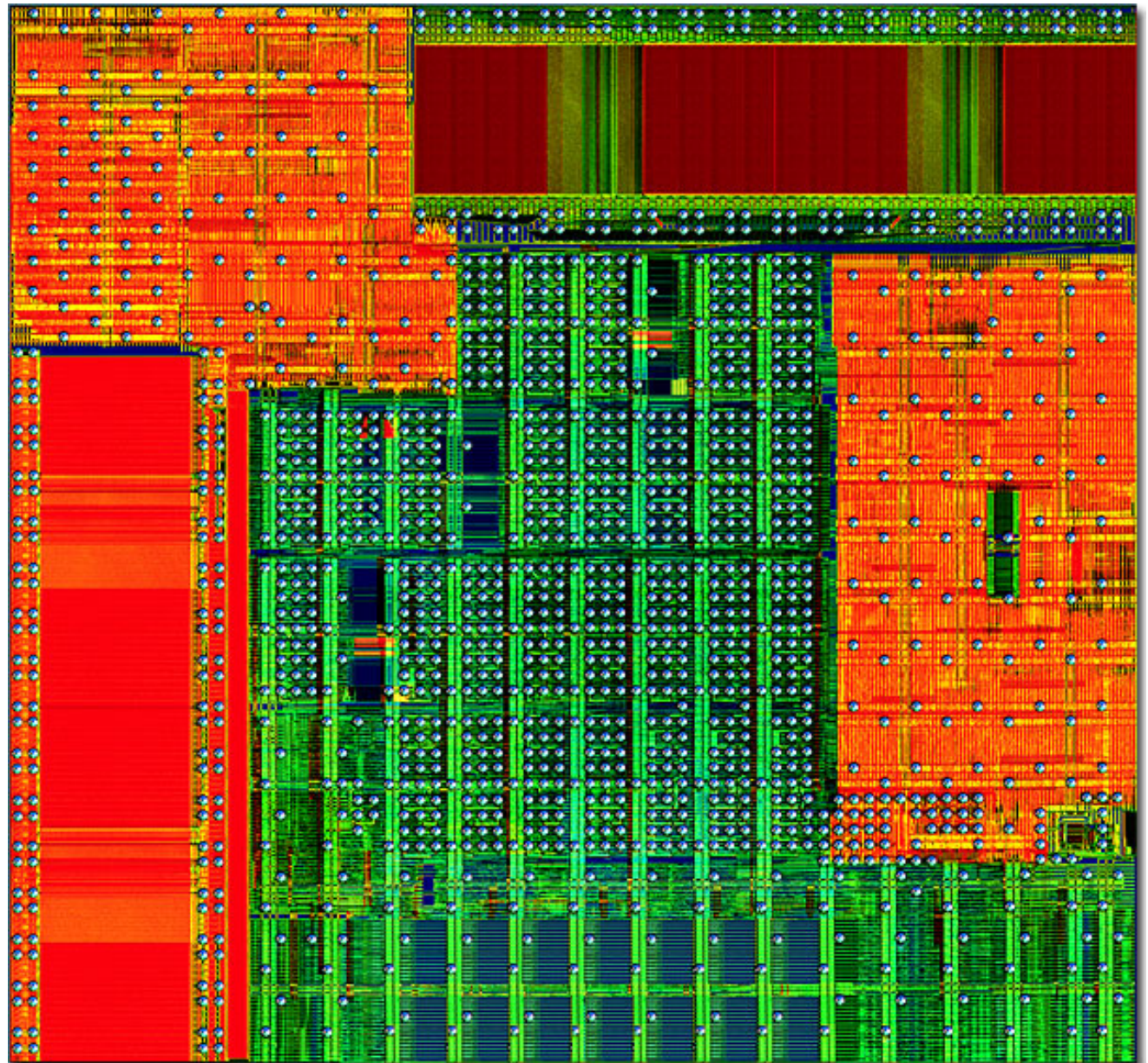
Bump Herstellung (C4, IBM)

- IBM führt bereits 1964 die Bump Technologie ein (für die IBM/System 360)
- Die Bump Herstellung erfolgt durch Aufdampfen von PbSn auf den Chip durch eine (Wolfram-) Maske mit kleinen Löchern.
(Vorher muss ein geeignetes Verbindungsmetall aufgedampft werden, die Under Bump Metallization – UBM)
- IBM nennt die Technologie C4 (controlled collapse chip connection)
- Bumps können mit der Aufdampftechnologie nicht beliebig klein werden. Inzwischen benutzt IBM auch andere verfahren (z.B. IMS – injection molded solder)



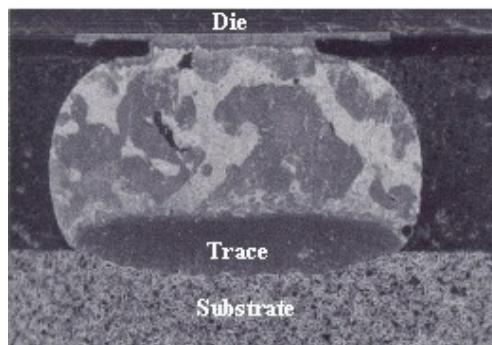
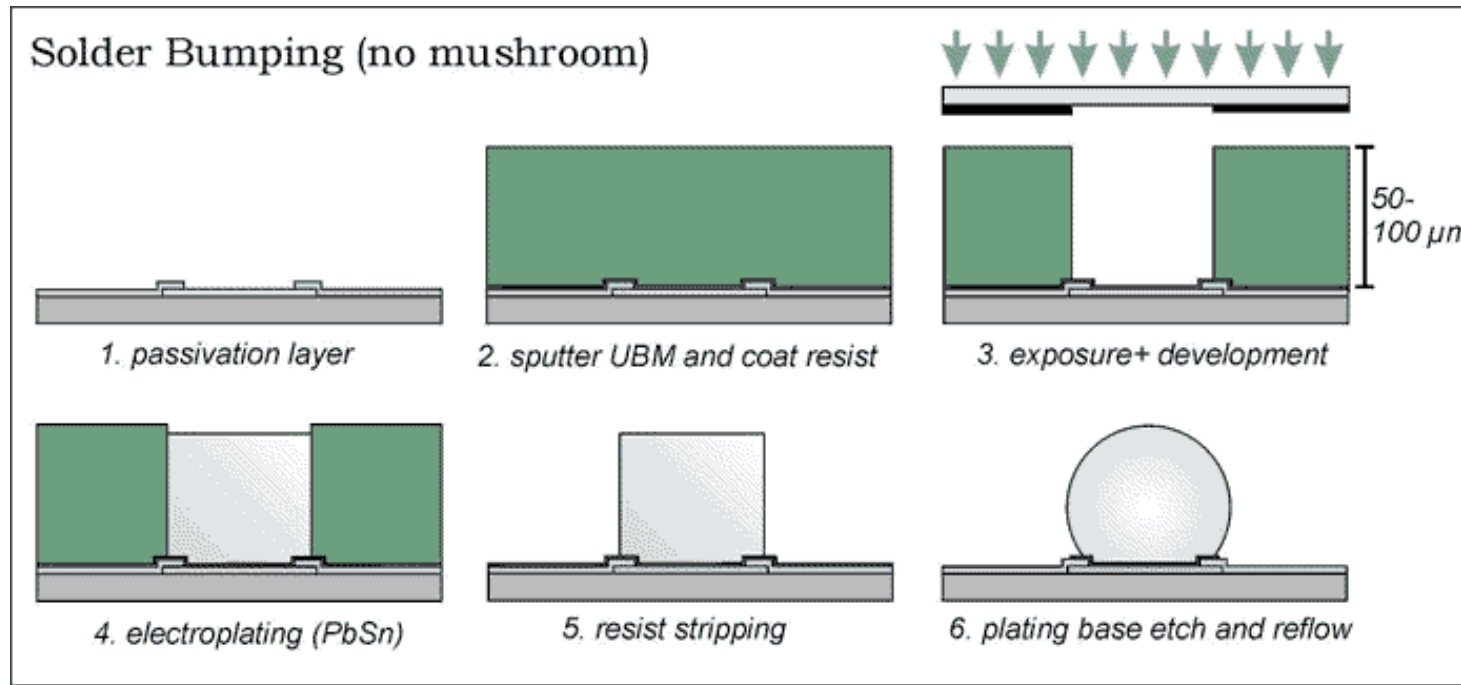
IBM PowerPC 620

- Viele Bumps
- Ideal auch zur Spannungsversorgung in der Mitte

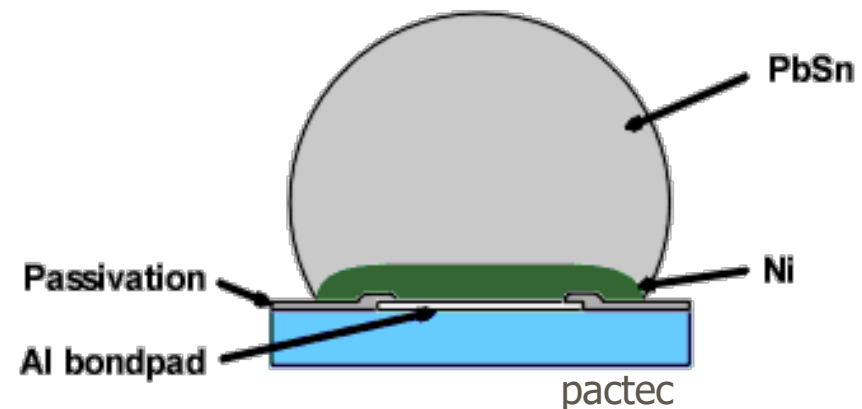


Bump Herstellung (Electroplating)

- Benutzt ähnliche Prozessschritte wie Chipherstellung, nur grober



national semiconductor

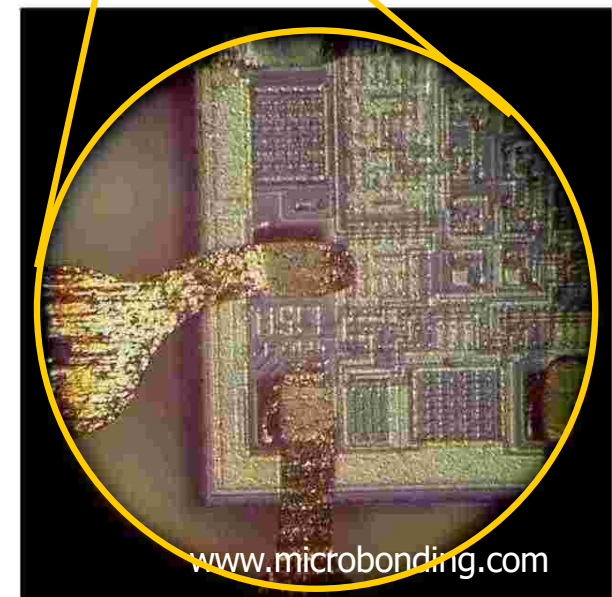
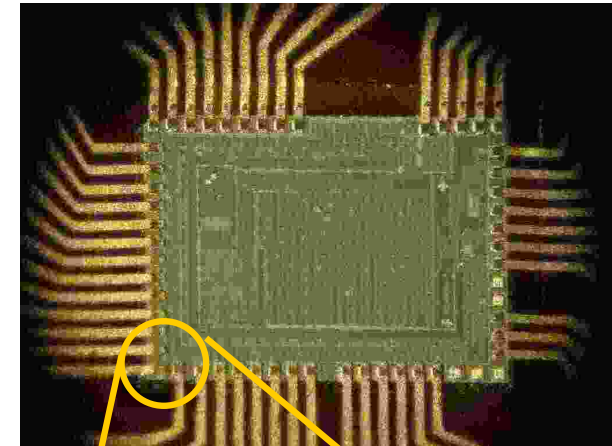
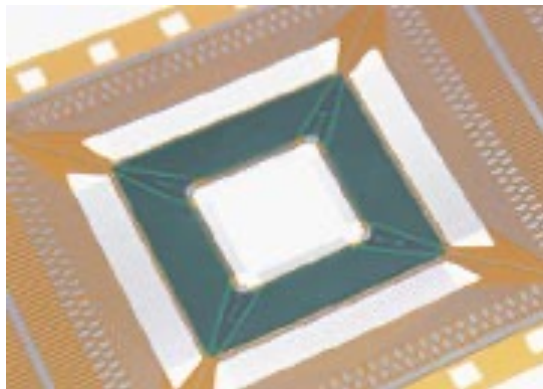
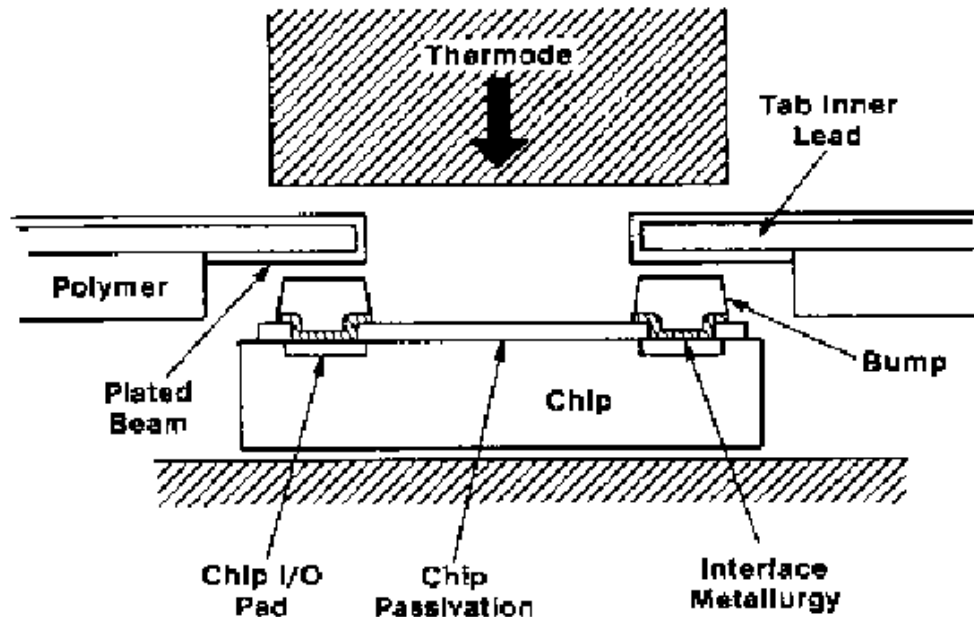


Flip Chip im Video

- Wir haben in unserer Gruppe eine manuelle Flip-Chip Maschine.

Tape Automated Bonding (TAB)

- Eine flexible Folie mit überstehenden Leiterbahnen wird mit Hitze auf die Bumps geschweißt
- Vorteilhaft zum für Chips mit sehr vielen Anschlüssen, LCD Displays...
- Prinzip:



Parameter v. Gehäusen

Package Type	Capacitance (pF)	Inductance (nH)
68 Pin Plastic DIP	4	35
68 Pin Ceramic DIP	7	20
256 Pin Pin Grid Array	5	15
Wire Bond	1	1
Solder Bump	0.5	0.1

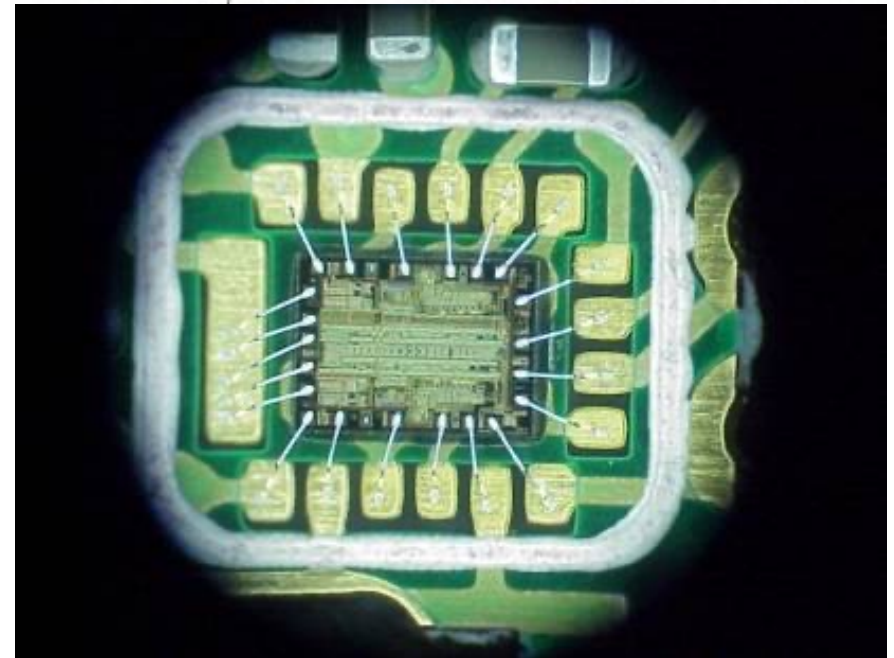
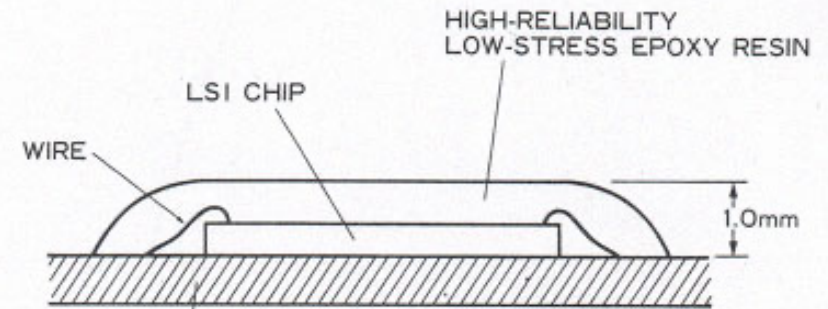
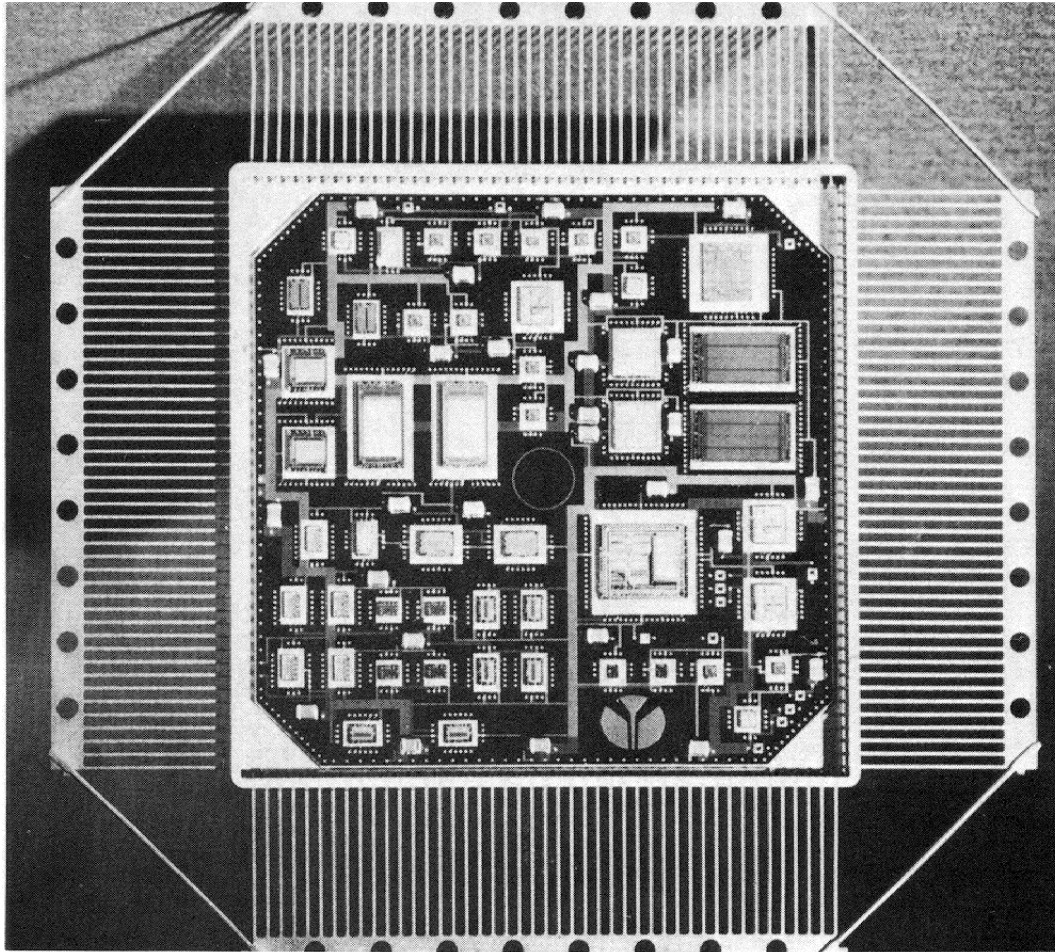
vorteilhaft!

Typical Capacitances and Inductances of Various Package and Bonding Styles (from [Sze83])

- Bei heutigen High-Speed Bauteilen fast nur noch Bumps (innerhalb des Gehäuses und zur Befestigung auf der Platine)

Multi-Chip Module

- Früher meist auf Keramiksubstrat (Bonden einfach, feine Leiterbahnen, gute Wärmeableitung)
- Heute oft auf Platinen (Printed Circuit Boards, PCB) – 'Chip On Board' = COB



Vergießen / Underfill

Wire Bonds:

- Meist werden die Wire Bonds geschützt, indem ein Harz darüber gegossen wird
- Problem kann der unterschiedliche Ausdehnungskoeffizient zwischen Schutzschicht und Silizium sein.
- Ansichtssache:
 - Hartes Harz ist ‚robust‘ gegen Berührung. Bei thermischer Ausdehnung besteht aber die Gefahr, dass es die Bonds abschert.
 - Weiches Harz hat dieses Problem nicht, ist aber nicht so robust.
- Nach Verguss sind optische Inspektion und Reparatur unmöglich
 - Daher machen wir das meist nicht!
 - Wir nutzen meist 3D gedruckte Deckel

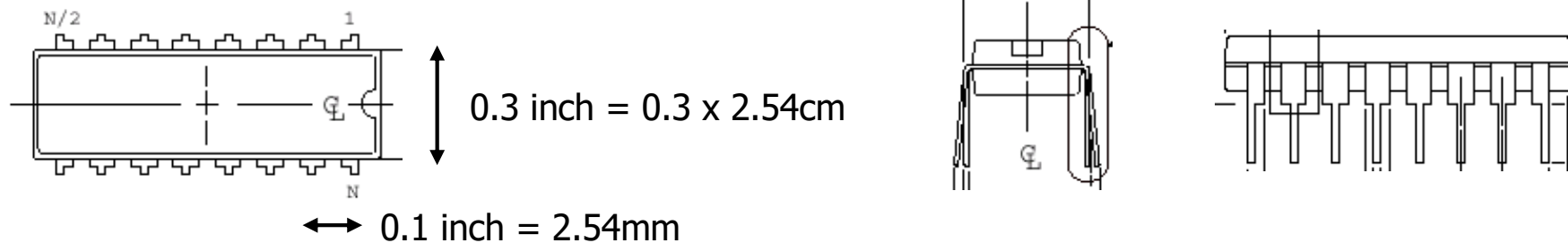
Flip Chip:

- Nach dem Reflow (Verlöten von Chip mit dem Substrat) wird der Chip nur durch die Lötverbindung gehalten
- Zur Stabilität wird meist ein dünnflüssiges Harz zwischen Substrat und Chips gegeben, das dann aushärtet. Wenn es beim Aushärten noch etwas schrumpft ‚zieht es den Chip fest‘
- Thermischer Mismatch zwischen Substrat und Chips ist gerade bei Flipchip ein Problem
- Daher
 - die Chips dürfen nicht zu groß sein
 - Das Substrat sollte einen ähnlichen thermischen Ausdehnungskoeffizienten haben wie Silizium
 - > normale PCBs sind ungeeignet. Besser Keramik!

Gehäuse

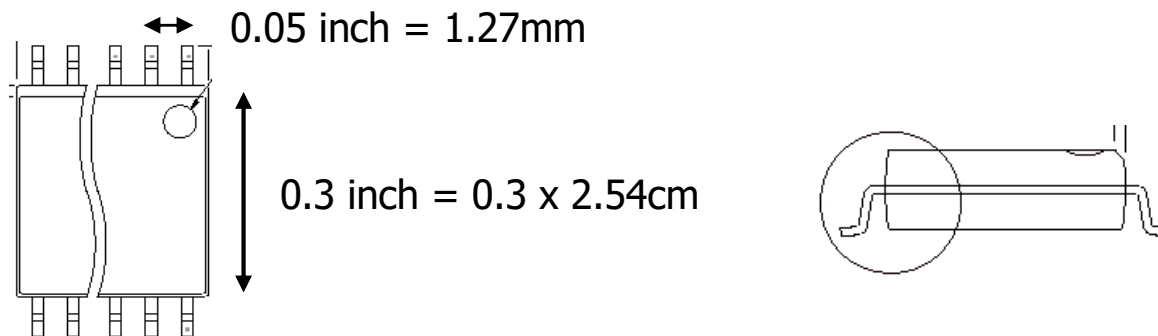
- ICs werden in einer Vielzahl von Gehäusen 'Packages' angeboten
- Kriterien für die Auswahl sind u.A.
 - Anzahl Pins
 - Thermische Belastbarkeit
 - Größe
 - Löttechnologie
- **DIL (Dual In Line)** oder **DIP (Dual Inline Package)**, aus Keramik **CERDIP**:
Klassisch. Nur noch für PALs (zu wenige Pins).

wenig Pins



- **SOIC (Small Outline Integrated Circuit)** für **SMD (Surface Mounted Device)** Bestückung

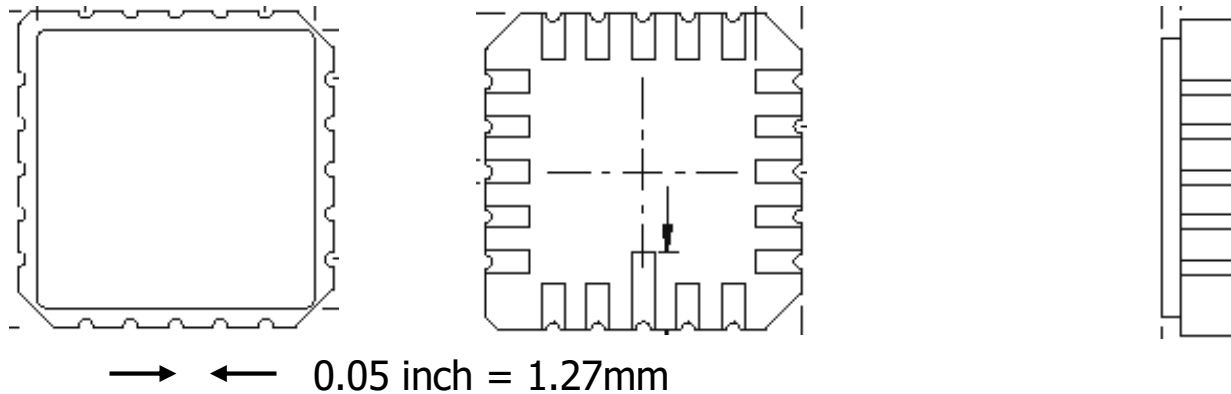
wenig Pins



Gehäuse

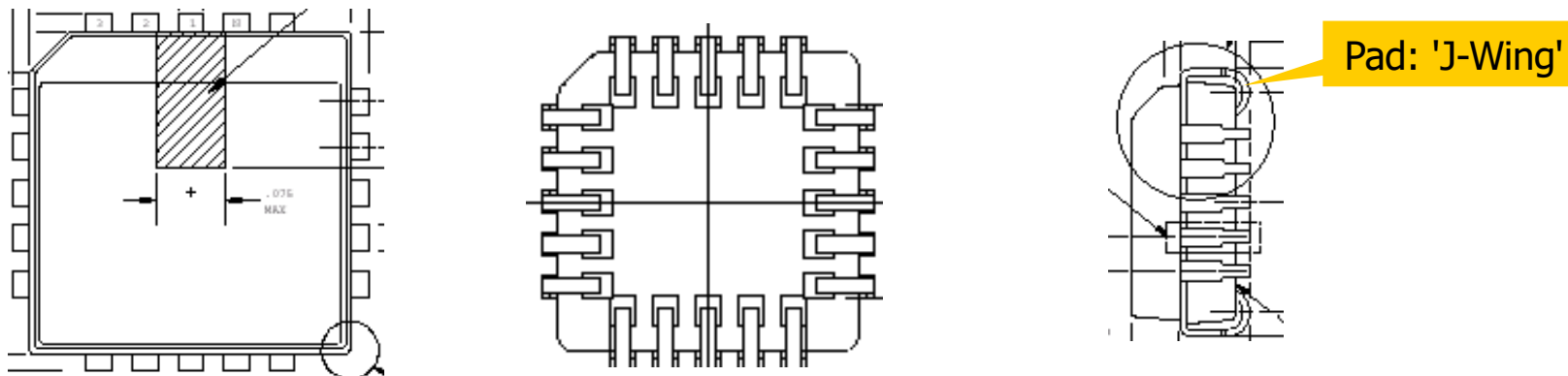
- **LCC (Leadless Chip Carrier)** (ohne 'Beinchen'): 20-84 Pins, meist Keramik

teuer



- **PLCC (Plastic Leadless Chip Carrier)**, ähnlich: **JLCC (J-wing Leadless Chip Carrier)**:

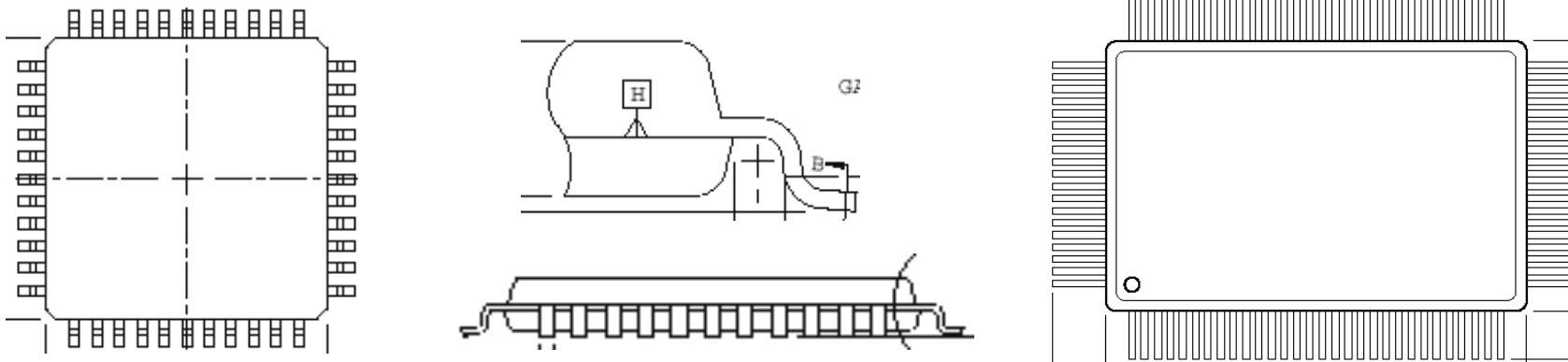
Wichtig !



Gehäuse

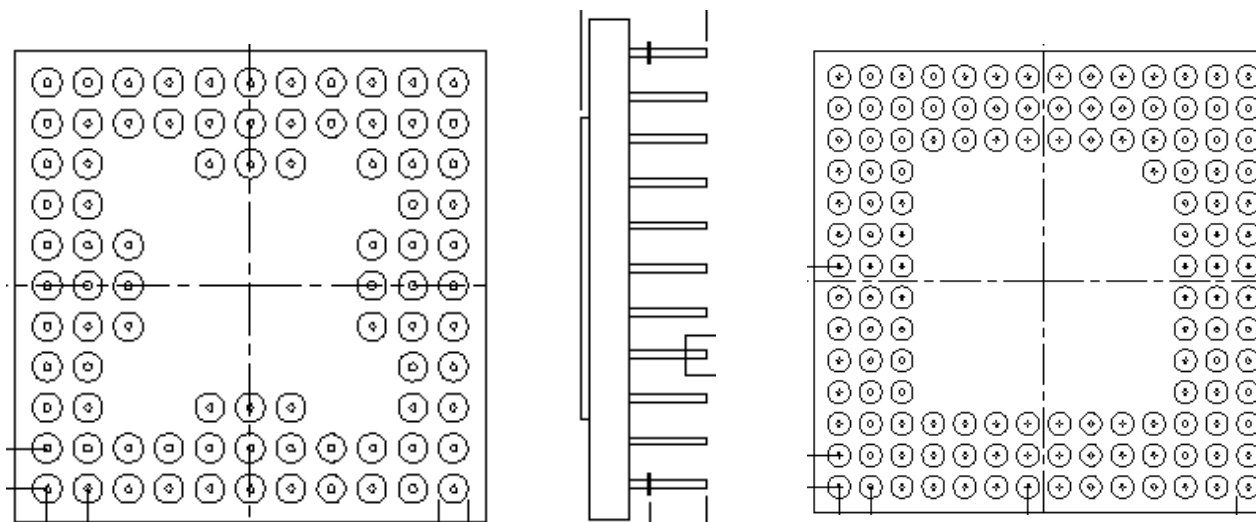
- **TQFP (Thin Quad Flat Pack)**, auch **PQFP (Plastic...)**: Bis über 300 Pins.

Wichtig !



- **PGA (Pin Grid Array)**, **CPGA** (für Ceramic ...): Viele Varianten

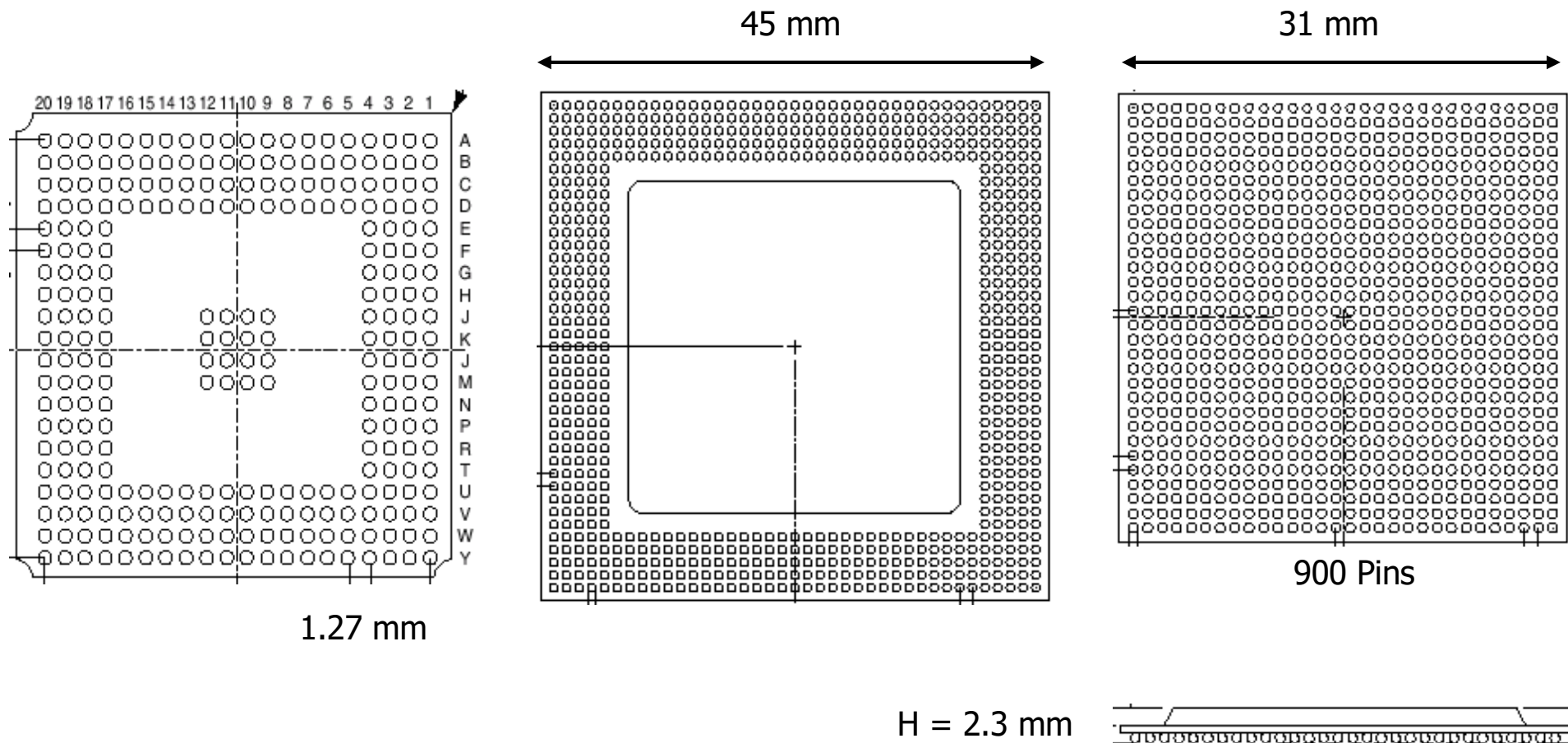
teuer



Gehäuse

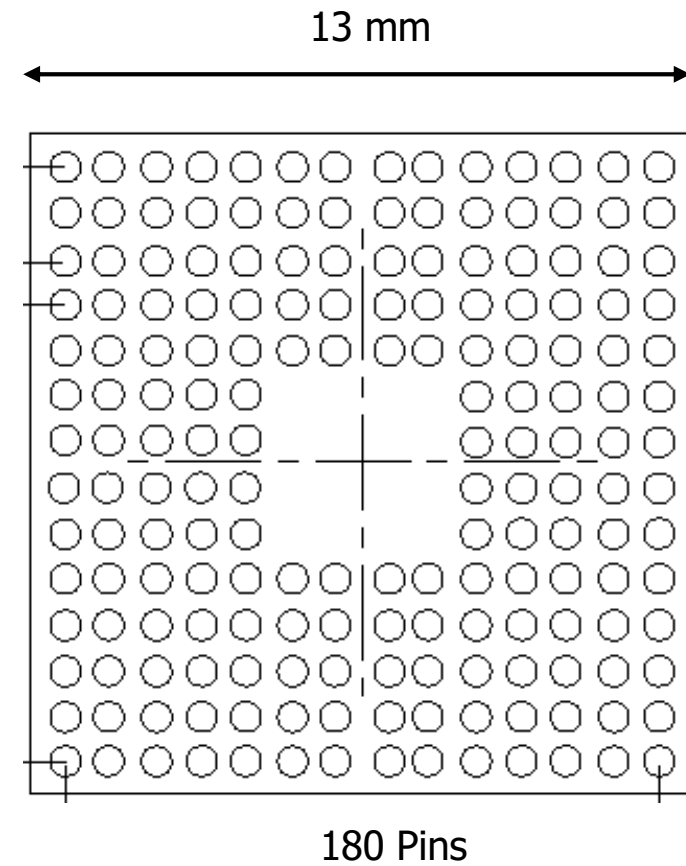
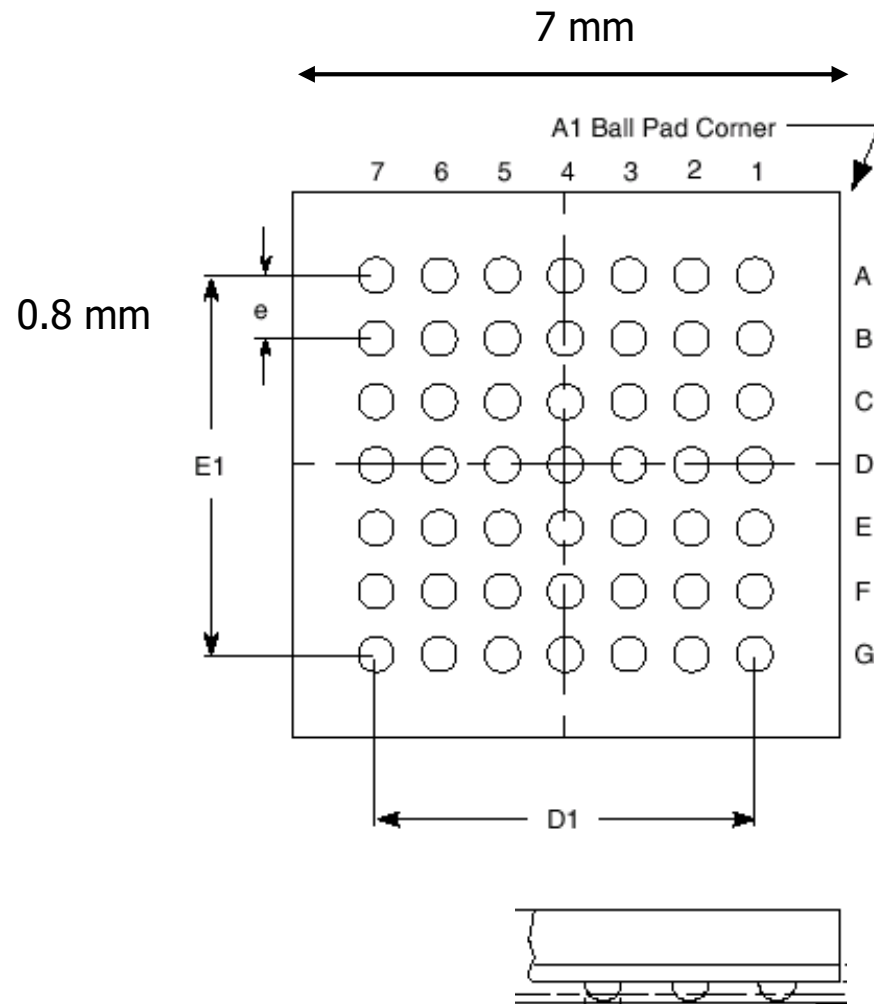
- **BGA (Ball Grid Array)**. Sehr viele Pins. Lot auf Chip vorhanden. Spezielles Equipment zum Löten nötig. Reparatur schwierig. Viele Muster der Balls. 49 bis >1000 Pins.

Mainstream

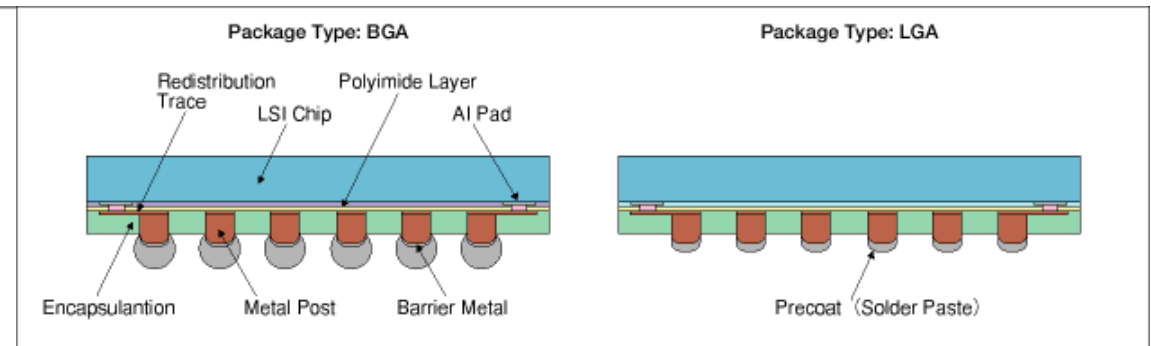
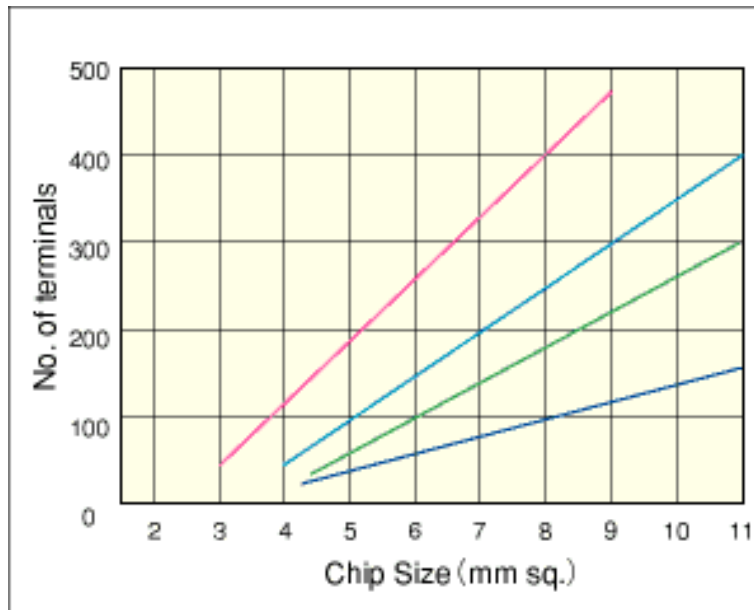
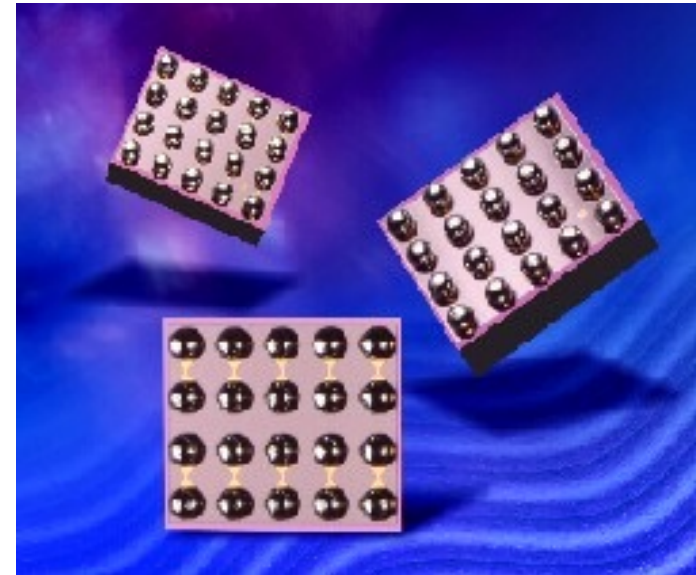
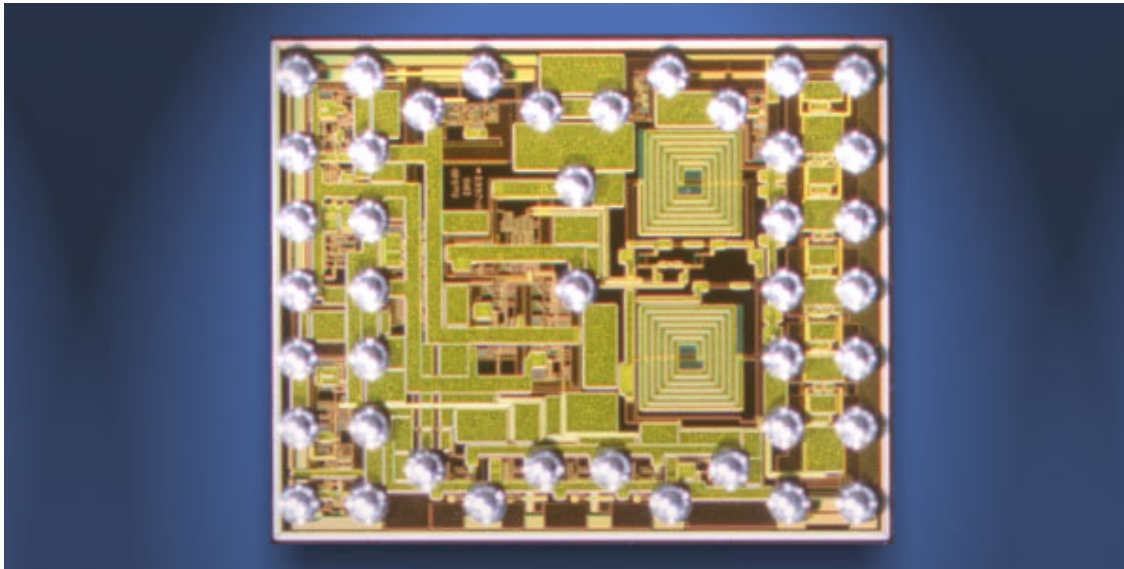


Gehäuse

- **CSP (Chip Size Package)**. Sehr kompakt.



Chip Size Package



fujitsu

- 0.3mm (Ball pitch)
- 0.4mm (Ball pitch)
- 0.5mm (Ball pitch)
- 0.8mm (Ball pitch)